

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

06-334031

(43)Date of publication of application : 02.12.1994

(51)Int. Cl.

H01L 21/76

(21)Application number : 05-145587 (71)Applicant : NEC CORP

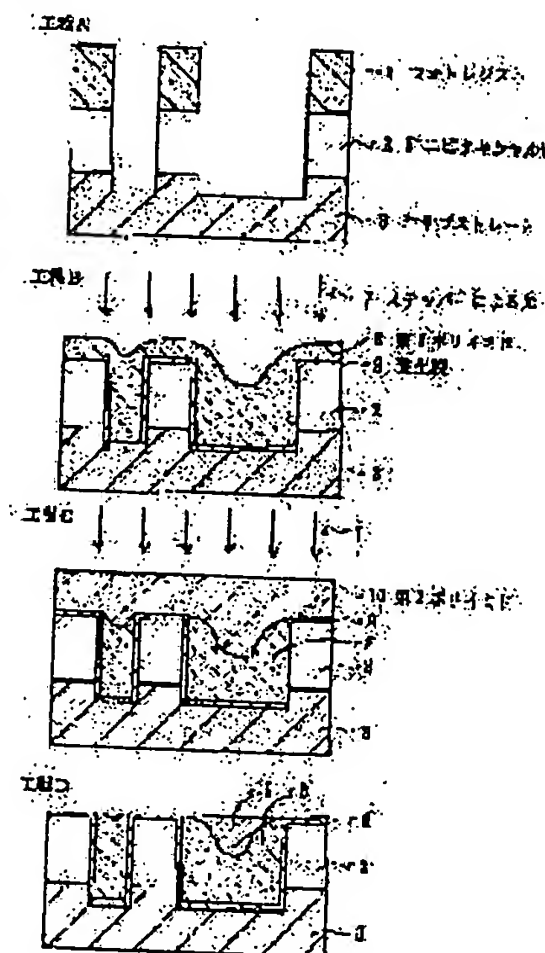
(22)Date of filing : 25.05.1993 (72)Inventor : OOSAGA IZUMI

(54) ELEMENT-ISOLATION METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide an element-isolation method for a semiconductor device for simply performing embedding of a large-area pattern which is a problem at the time of performing trench-isolation of a semiconductor device and for preventing the increase of wiring capacitance also which is a problem at the time of using polysilicon as an embedding material.

CONSTITUTION: A photosensitive silicon-containing polyimide (first polyimide 8, second polyimide 10) is used when a trench (groove) formed in a semiconductor substrate (P-substrate 3) is filled in again (See Fig.1, steps B, C). Thus, when the photosensitive silicon-containing polyimide is used, it is possible to simply fill in a large-area trench but also to prevent the increase of wiring capacitance hindering the improvement of the operating speed of an LSI.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination] 25.05.1993

[Date of sending the examiner's decision of rejection] 03.09.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334031

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.<sup>5</sup>

H01L 21/76

識別記号

庁内整理番号

F I

技術表示箇所

L 9169-4M

審査請求 有 請求項の数 1 F D (全 5 頁)

(21) 出願番号

特願平5-145587

(22) 出願日

平成5年(1993)5月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大佐賀 泉

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 宮越 典明

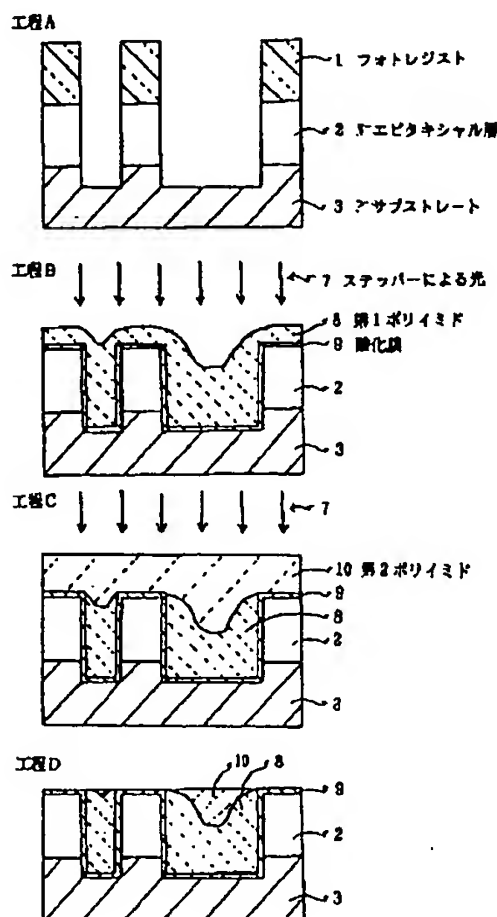
(54) 【発明の名称】 半導体装置の素子分離方法

(57) 【要約】

【目的】 半導体素子のトレンチ分離を行う場合に問題となる大面積パターンの埋込みを簡単に行い、かつ埋込み剤としてポリシリコンを用いた時に問題となる配線容量の増加を防止する半導体装置の素子分離方法を提供すること。

【構成】 半導体基板(P-サブストレータ3)上に形成したトレンチ(溝)を埋込め戻す際、感光性のシリコン含有ポリイミド(第1ポリイミド8、第2ポリイミド10)を用いる(図1工程B、C参照)。

【効果】 感光性のシリコン含有ポリイミドを用いることにより、簡単に大面積のトレンチが埋込めるだけでなく、LSIの高速化を妨害する配線容量の増加も防ぐことができる。



1

【特許請求の範囲】

【請求項1】 (1)半導体基板に溝(トレンチ)を形成する工程、

(2)ウエーハ全面にシリコン含有ポリイミドを塗布する工程、

(3)前記溝(トレンチ)部以外のシリコン含有ポリイミドを除去する工程、

(4)前記シリコン含有ポリイミドに熱処理を行い、溶剤を除去する工程、

とを有することを特徴とする半導体装置の素子分離方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、素子分離を必要とする半導体装置の素子分離方法に関し、特にトレンチ分離を用いた半導体装置の素子分離方法に関する。

【0002】

【従来の技術】従来、一般的なトレンチ分離法に用いられる埋込み剤としては、図3、図4に示すように、ポリシリコンを用いることが多い。以下、図3、図4を参照してその構成を説明する。

【0003】(従来例によるトレンチ分離の形成方法)

図3は、従来の最も一般的に用いられているトレンチ分離の形成方法を説明する図であって、工程A～Cよりなる工程順断面図である。従来のトレンチ分離の形成方法は、図3工程Aに示すように、まず、P-サブストレー

ト3を1000℃程度で熱酸化し、酸化膜9を6000～8000オングストロームの厚さで形成し、次に、公知のリソグラフィ技術を用いてフォトレジスト1をパターンニングすると共に酸化膜9をエッチング除去し、後にトレンチ(溝)を形成する領域上部に開孔部を設ける。

【0004】次に、フォトレジスト1を除去した後、酸化膜9をマスクとしてR1EによりP-サブストレー

ト3にトレンチ(溝)を形成し、熱酸化又はCVD法により酸化膜9を500～1000オングストローム形成した後、減

圧CVD法を用いてポリシリコン11を2μm程度成長させ、トレンチを完全に埋込む(図2工程B)。続いて、公知のエッチング技術によりポリシリコン11をエッチバックし、表面を平坦化した後、熱酸化によりポリシリ

コン11の表面を酸化膜9に変換する(図2工程C)。を形成する。その後、図3工程Aにおける酸化膜9を除去し、減圧CVD法により酸化膜9を1000～2000オングストローム、シリコン窒化膜12を1000～2000オングストローム及びポリシリコン11を同様に1000～2000オングストローム連続的に成長させ(図4工程B)、さらにイオン注入法を用いてホウ素等の不純物をポリシリコン11へ導入する。

【0007】次に、図4工程Bに示すように、トレンチ底部のポリシリコン11へ均一に不純物が拡散されるように、短時間の熱処理を行った後、水酸化カリウム等のアルカリ溶液によって、不純物が導入されていないトレンチ側壁のポリシリコンを選択的にエッチングし、トレンチ底部及び基板素面のポリシリコン11を残存させた後、フォトレジスト1を塗布し、全面を露光した後現像処理を行う。この工程により、露光量が不充分となるトレンチ底部を除いて、フォトレジスト1は除去される(図4工程B参照)。

【0008】次に、フォトレジスト1をマスクとして、表面部のポリシリコン11をエッチング除去した後、トレンチ底部のフォトレジスト1も除去する(図4工程C)。その後、トレンチ底部に露出したポリシリコン11の表面に対して公知の選択CVD法を行い、トレンチ部をポリシリコン11で埋め戻し、次に、この埋め戻したポリシリコン11の表面を熱酸化して酸化膜9を形成する(図4工程D)。

【0009】

【発明が解決しようとする課題】図5は、前記した従来のトレンチ分離の形成方法により、小面積トレンチ埋込み及び大面積トレンチ埋込みを実施した場合の断面図である。

【0010】この図5に示すように、従来のトレンチ分離の形成方法(前記図3工程A～Cよりなる従来例)を適用すると、幅1～2μmのトレンチ13のパターンでは、ポリシリコン11の膜厚を厚くすることで埋込むことができるが、幅5μm以上のトレンチ14では、“ポリシリコンが埋込めない領域15”が生じるという欠点を有する。このため、幅5μm以上のトレンチ14で配線を通す領域においては、ポリシリコン11の膜厚では対応できず、別にPRを行い、酸化膜等を埋込む必要が生ずる。

【0011】また、前記した先行技術によるトレンチ分離の形成方法(前記図4工程A～Dよりなる先行技術例)では、ある程度幅の広いトレンチを埋込むことは可能であるが、製造工程が複雑であると共に、埋込み剤がポリシリコン(導体)であるため、図6(後に詳記する)に示すC<sub>1</sub>、C<sub>2</sub>の配線容量が大きく、高速LSIには不向きであるという問題点がある。

【0012】本発明は、前記従来例及び先行技術例によるトレンチ分離の形成方法での欠点、問題点を鑑み成されたものであって、その目的は、大面積トレンチのパタ

ーンにおいても簡単に埋込むことができ、かつ埋込み剤としてポリシリコンを用いた先行技術例の場合より配線容量が小さく、高速LSIに有利である半導体装置の素子分離方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置の素子分離方法は、(1)半導体基板に溝(トレンチ)を形成する工程、(2)ウェーハ全面にシリコン含有ポリイミドを塗布する工程、(3)前記溝(トレンチ)部以外のシリコン含有ポリイミドを除去する工程、(4)前記シリコン含有ポリイミドに溶剤除去のための熱処理を行う工程、とを有する。

【0014】

【実施例】以下、本発明について図1及び図2に基づいて説明する。図1は、本発明の一実施例の工程順断面図(トレンチ形成領域)であり、図2は、同じく本発明の一実施例の工程順断面図(素子形成領域)である。

【0015】(トレンチ形成例)図1は、本発明の一実施例である工程A～Dよりなる工程順断面図(トレンチ形成領域)であり、この実施例では、P-サブストレート3上にN-エピタキシャル層2を形成したウェーハを用いた。このウェーハ全面にフォトレジスト1を塗布し、公知のリソグラフィ技術を用いてパターンニングし、RIEにてトレンチ形成領域をエッチングし、トレンチ(溝)を形成する(図1工程A)。

【0016】次に、図1工程Bに示すように、減圧CVDにて酸化膜9を500オングストローム程度形成し、ウェーハ全面に第1ポリイミド8(感光性シリコン含有ポリイミド/粘度700～800cP)を3～4μmの厚さに塗布し、ウェーハ全面を露光する。(図1工程B中、7はステッパーによる光を示す。)続いて現像処理を行い、感光した部分の第1ポリイミド8を除去する。この時トレンチ底部には光が届かないため、第1ポリイミド8がトレンチ底部に残存する。

【0017】さらにこの状態で300～400℃1時間程度の熱処理を行い、第1ポリイミド8中の溶剤を飛ばし、次に、第2ポリイミド10(感光性シリコン含有ポリイミド/100～200cP)を1～2μm塗布し、ウェーハ全面を露光する(図1工程C)。次に、前記第1ポリイミド8に対する場合と同様、現像処理、熱処理を行い、トレンチを埋め戻す(図1工程D)。

【0018】(素子形成領域の形成例)図2の工程A～Dは、前記図1工程A～Dに対応した素子形成領域の工程順断面図であり、この工程順断面図は、バイポーラLSI形成時の実施例を示す図である。

【0019】本実施例におけるLSIの製造法は、まず、P-サブストレート3上にN-埋込み拡散層6とN-エピタキシャル層2とを形成したエピタキシャルウェーハを用い、公知の技術でP型ベース拡散層4、N-型コレクタ拡散層5を形成する。次に、ウェーハ全面にフォ

トレジスト1を塗布し、公知のリソグラフィ技術を用いてパターンニングし、RIEにて素子分離領域をエッチングし、トレンチ(溝)を形成する(図2工程A)。

【0020】続いて、減圧CVDにて酸化膜9を500オングストローム程度形成し、ウェーハ全面に第1ポリイミド8(感光性シリコン含有ポリイミド/粘度700～800cP)を3～4μmの厚さに塗布し、ウェーハ全面を露光する(図2工程B)。次に、現像処理を行い、感光した部分の第1ポリイミド8を除去する。この時トレンチ底部には光が届かないため、第1ポリイミド8がトレンチ底部に残存する。

【0021】さらにこの状態で300～400℃1時間程度の熱処理を行い、第1ポリイミド中の溶剤を飛ばし、次に、第2ポリイミド10(感光性シリコン含有ポリイミド/100～200cP)を1～2μm塗布し、ウェーハ全面を露光する(図2工程C)。次に、前記第1ポリイミド8に対する場合と同様、現像処理、熱処理を行い、トレンチを埋め戻す(図2工程D)。

【0022】その後、公知の技術を用いてP型ベース拡散層4中にイオン注入法によりN-エミッタ拡散層を形成した後、BP SG等の層間膜を形成し、コンタクトを開孔し、さらにアルミ電極を形成する。なお、このN-エミッタ拡散層、層間膜の形成は、トレンチ形成前に行っても全く支障はない。

【0023】図6は、前記した先行技術と本発明との配線容量比較図であり、図6の破線左側は、前記先行技術によるものであり(図工程D参照)、酸化膜9、シリコン窒化膜12、ポリシリコン11で構成されている。これに対して、本発明によるものは、図6の破線右側に示すように、酸化膜9、第1ポリイミド8、第2ポリイミド10で構成されている。(なお、図6中、3はP-サブストレート、16はアルミ配線、17はBP SG膜である。)

【0024】先行技術によるものでは、図6の破線左側に示すように、埋込み剤がポリシリコン(導体)11であるため、C<sub>1</sub>、C<sub>2</sub>の配線容量が大きく、高速LSIには不向きであるのに対し、本発明によるものは、図6の破線右側に示すように、第1ポリイミド8、第2ポリイミド10で構成されるから、配線容量が小さく、高速LSIに有利である利点を有する。

【0025】

【発明の効果】本発明は、以上詳記したとおり、感光性のシリコン含有ポリイミドをトレンチの埋込み剤として用いることを特徴とし、これにより大面積トレンチのパターンも簡単に埋込むことができ、かつ埋込み剤としてポリシリコンを用いた従来例の場合より配線容量が小さく、高速LSIに有利であるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する図であって、工程A～Dよりなる工程順断面図(トレンチ形成領域)。

5

6

【図2】本発明の一実施例を説明する図であって、工程A～Dよりなる工程順断面図(素子形成領域)。

【図3】従来のトレンチ分離の形成方法を説明する図であって、工程A～Cよりなる工程順断面図。

【図4】先行技術のトレンチ分離の形成方法を説明する図であって、工程A～Dよりなる工程順断面図。

【図5】従来方法により小面積トレンチ埋込み及び大面積トレンチ埋込みを実施した場合の断面図。

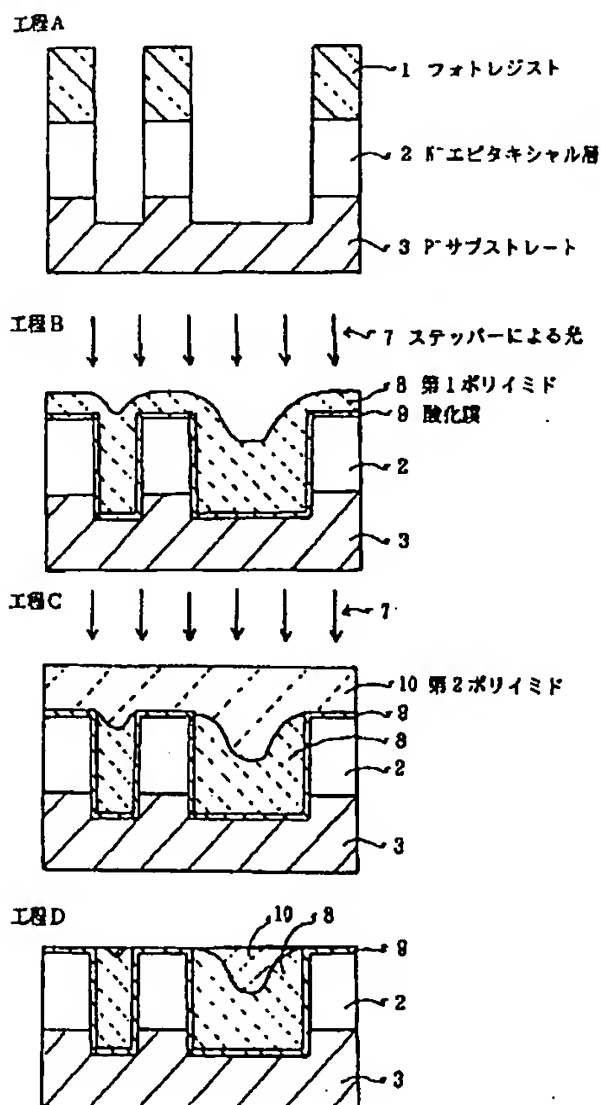
【図6】先行技術と本発明との配線容量比較図。

【符号の説明】

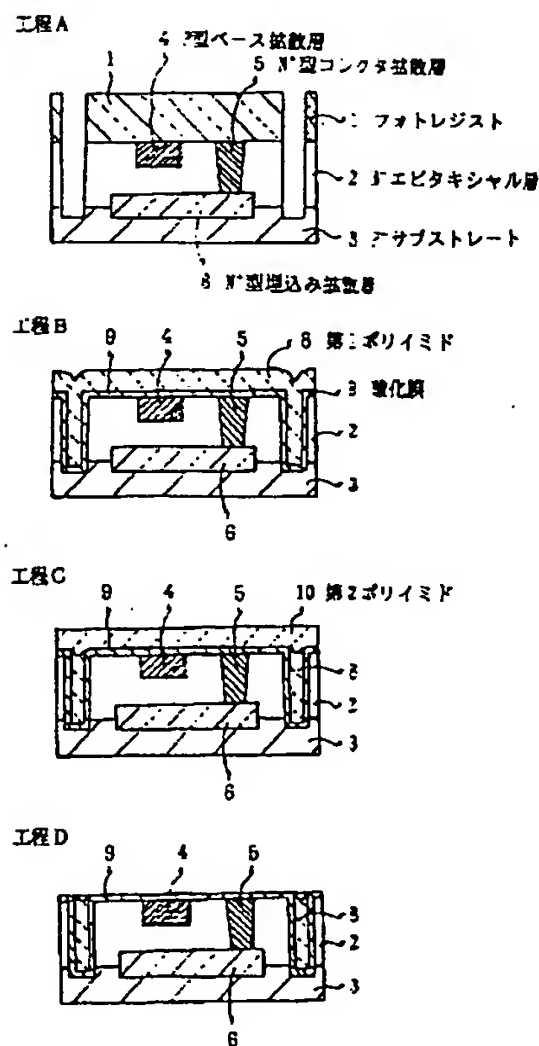
- 1 フォトリソグ
- 2 N<sup>+</sup>エピタキシャル層
- 3 P<sup>+</sup>サブストレート
- 4 P型ベース拡散層

- 5 N<sup>+</sup>型コレクタ拡散層
- 6 N<sup>+</sup>型埋込み拡散層
- 7 ステッパーによる光
- 8 第1ポリイミド
- 9 酸化膜
- 10 第2ポリイミド
- 11 ポリシリコン
- 12 シリコン窒化膜
- 13 幅1～2 $\mu$ mのトレンチ
- 14 幅5 $\mu$ m以上のトレンチ
- 15 ポリシリコンが埋込めない領域
- 16 アルミ配線
- 17 BPSG膜

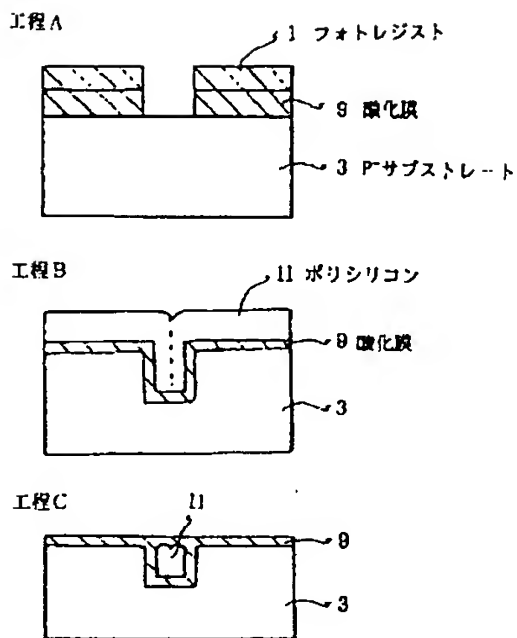
【図1】



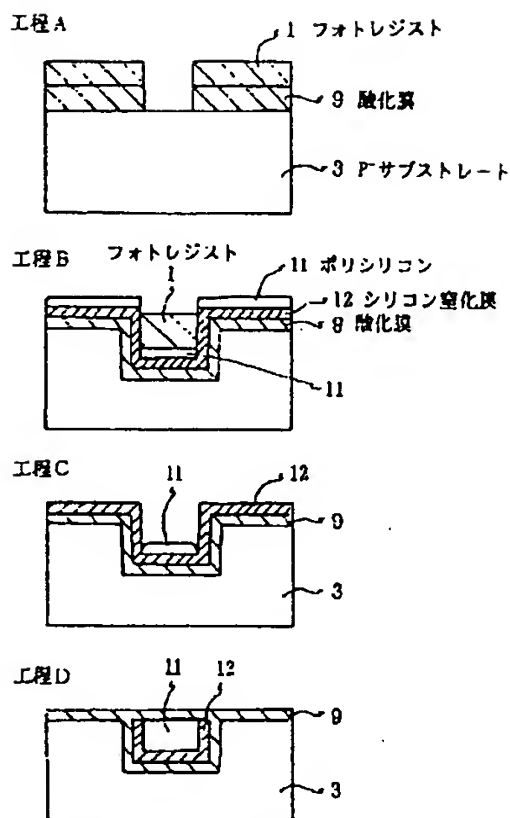
【図2】



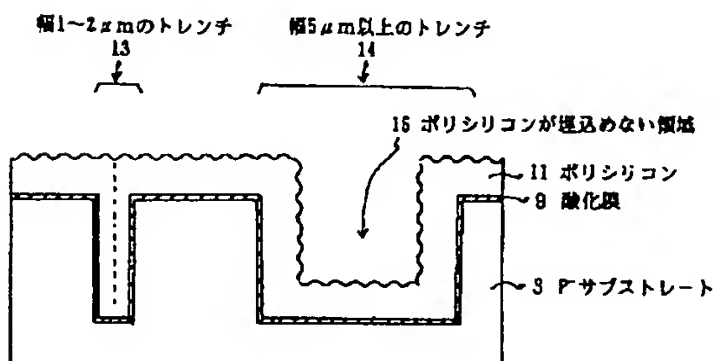
【图3】



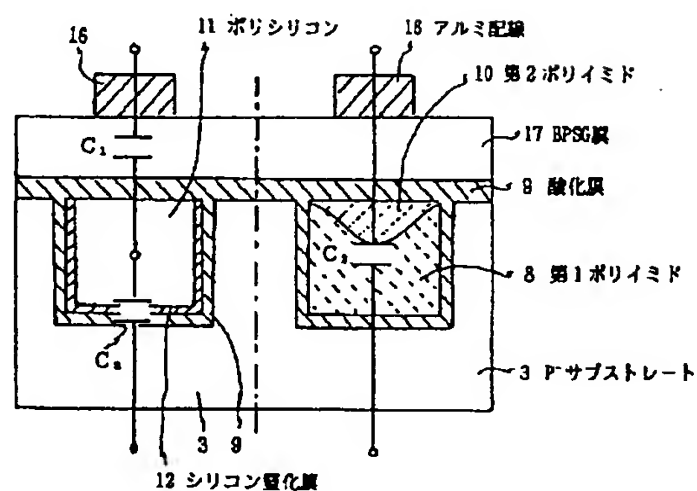
【图4】



【図 5】



【图6】



【手續補正書】

【提出日】平成6年6月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 (1) 半導体基板に溝（トレンチ）を形成する工程、

(2) ウェーハ全面にシリコン含有ポリイミドを塗布する工程、

(3) 前記溝（トレンチ）部以外のシリコン含有ポリイミ

ドを除去する工程、

(4) 前記シリコン含有ポリイミドに熱処理を行い、溶剤を除去する工程、

とを有することを特徴とする半導体装置の素子分離方法。

【請求項2】 前記シリコン含有ポリイミドが、ポジ型の感光性材料であり、前記第(3)工程が露光工程と現像工程とを含んでいることを特徴とする請求項1記載の半導体装置の素子分離方法。

【請求項3】 前記第(2)乃至第(4)工程が複数回繰り返されることを特徴とする請求項1記載の半導体装置の素子分離方法。